



2151

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re the Application of : **Reiko KUROKI**
Filed: : **March 5, 2002**
For: : **PSEUDO RANDOM SIGNAL PRODUCING...**
Serial No. : **10/090,874**

RECEIVED

JUL 0 9 2002

Technology Center 2100

Assistant Commissioner for Patents
Washington, D.C. 20231

June 26, 2002

SUBMISSION OF PRIORITY DOCUMENT

S I R:

Applicant hereby submits a certified copy of **JAPANESE** patent application nos.
2001-060593 filed **March 5, 2001**, from which priority is claimed in the Declaration.

Any fee, due as a result of this paper may be charged to Deposit Acct. No. 50-
1290.

**ANY FEE DUE WITH THIS PAPER, NOT FULLY
COVERED BY AN ENCLOSED CHECK, MAY BE
CHARGED ON DEPOSIT ACCOUNT NO. 501290**

Respectfully submitted,

Michael I. Markowitz
Reg. No. 30,659

KATTEN MUCHIN ZAVIS ROSENMAN
575 MADISON AVENUE
IP Department
NEW YORK, NEW YORK 10022-2584
DOCKET NO.: 100806-00092 (NECG 19.499)
TELEPHONE: (212) 940-8800

I HEREBY CERTIFY THAT THIS CORRESPONDENCE
IS BEING DEPOSITED WITH THE UNITED STATES
POSTAL SERVICE AS CERTIFIED MAIL IN AN
ENVELOPE ADDRESSED TO: COMMISSIONER OF
PATENTS AND TRADEMARKS, WASHINGTON, D.C.
20231, ON THE DATE INDICATED BELOW.

BY
DATE June 26, 2002



日 本 国 特 許 庁
JAPAN PATENT OFFICE

US

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 3月 5日

RECEIVED

JUL 09 2002

出 願 番 号

Application Number:

特願2001-060593

Technology Center 2100

[ST.10/C]:

[JP2001-060593]

出 願 人

Applicant(s):

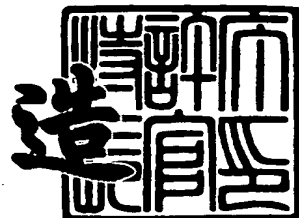
エヌイーシーマイクロシステム株式会社



2002年 1月11日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3113064

【書類名】 特許願

【整理番号】 01211269

【提出日】 平成13年 3月 5日

【あて先】 特許庁長官殿

【国際特許分類】 G01R 31/3183

【発明者】

 【住所又は居所】 神奈川県川崎市中原区小杉町一丁目403番53 日本
 電気アイシーマイコンシステム株式会社内

 【氏名】 黒木 玲子

【特許出願人】

 【識別番号】 000232036

 【氏名又は名称】 日本電気アイシーマイコンシステム株式会社

【代理人】

 【識別番号】 100071272

 【弁理士】

 【氏名又は名称】 後藤 洋介

【選任した代理人】

 【識別番号】 100077838

 【弁理士】

 【氏名又は名称】 池田 憲保

【選任した代理人】

 【識別番号】 100117341

 【弁理士】

 【氏名又は名称】 山崎 拓哉

【手数料の表示】

 【予納台帳番号】 012416

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0101032

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 疑似ランダム信号発生回路

【特許請求の範囲】

【請求項 1】 a (a は、1以上の整数)ビット幅を有する第1の疑似ランダム信号を発生する第1の発生器と、

b (b は、 a とは異なる1以上の整数)ビット幅を有する第2の疑似ランダム信号を発生する第2の発生器と、

前記第1の疑似ランダム信号を行、前記第2の疑似ランダム信号を列として(a, b)型行列の行列演算を行い、($a*b$)ビット幅を有する演算結果信号を出力する行列演算器と、

前記($a*b$)ビット幅を有する演算結果信号から、 N (N は($a*b$)の約数)ビット幅を有する出力疑似ランダム信号を生成するビット幅調整回路とを有することを特徴とする疑似ランダム信号発生回路。

【請求項 2】 a (a は、1以上の整数)ビット幅を有する第1の疑似ランダム信号を発生する第1の発生器と、

b (b は、 a とは異なる1以上の整数)ビット幅を有する第2の疑似ランダム信号を発生する第2の発生器と、

前記第1の疑似ランダム信号を行、前記第2の疑似ランダム信号を列として(a, b)型行列の行列演算を行い、($a*b$)ビット幅を有する演算結果信号を出力する行列演算器と、

前記($a*b$)ビット幅を有する演算結果信号から、 N (N は($a*b$)の約数)ビット幅を有する出力疑似ランダム信号を生成する N ビットシフトレジスタとを有することを特徴とする疑似ランダム信号発生回路。

【請求項 3】 a (a は、1以上の整数)ビット幅を有する第1の疑似ランダム信号を発生する第1の発生器と、

b (b は、 a とは異なる1以上の整数)ビット幅を有する第2の疑似ランダム信号を発生する第2の発生器と、

前記第1の疑似ランダム信号及び前記第2の疑似ランダム信号に対して行列演算を行い、($a*b$)ビット幅を有する演算結果信号を出力する行列演算器と、

前記($a*b$)ビット幅を有する演算結果信号から、 N (N は($a*b$)の約数)ビット幅を有する出力疑似ランダム信号を生成するビット幅調整回路とを有することを特徴とする疑似ランダム信号発生回路。

【請求項 4】 a (a は、1以上の整数)ビット幅を有する第1の疑似ランダム信号を発生する第1の発生器と、

b (b は、 a とは異なる1以上の整数)ビット幅を有する第2の疑似ランダム信号を発生する第2の発生器と、

前記第1の疑似ランダム信号を行、前記第2の疑似ランダム信号を列として(a, b)型行列の行列演算を行い、($a*b$)ビット幅を有する第1の演算結果信号を出力する第1の行列演算器と、

c (c は、 a, b とは異なる1以上の整数)ビット幅を有する第3の疑似ランダム信号を発生する第3の発生器と、

前記第1の演算結果信号を行、前記第3の疑似ランダム信号を列として($a*b, c$)型行列の行列演算を行い、($a*b*c$)ビット幅を有する第2の演算結果信号を出力する第2の行列演算器と、

前記($a*b*c$)ビット幅を有する第2の演算結果信号から、 N (N は($a*b*c$)の約数)ビット幅を有する出力疑似ランダム信号を生成するビット幅調整回路とを有することを特徴とする疑似ランダム信号発生回路。

【請求項 5】 a (a は、1以上の整数)ビット幅を有する第1の疑似ランダム信号を発生する第1の発生器と、

b (b は、 a とは異なる1以上の整数)ビット幅を有する第2の疑似ランダム信号を発生する第2の発生器と、

前記第1の疑似ランダム信号を行、前記第2の疑似ランダム信号を列として(a, b)型行列の行列演算を行い、($a*b$)ビット幅を有する第1の演算結果信号を出力する第1の行列演算器と、

c (c は、 a, b とは異なる1以上の整数)ビット幅を有する第3の疑似ランダム信号を発生する第3の発生器と、

前記第1の演算結果信号を行、前記第3の疑似ランダム信号を列として($a*b, c$)型行列の行列演算を行い、($a*b*c$)ビット幅を有する第2の演算結果信号を出力

する第2の行列演算器と、

前記($a*b*c$)ビット幅を有する第2の演算結果信号から、 N (N は($a*b*c$)の約数)ビット幅を有する出力疑似ランダム信号を生成する N ビットシフトレジスタとを有することを特徴とする疑似ランダム信号発生回路。

【請求項6】 a (a は、1以上の整数)ビット幅を有する第1の疑似ランダム信号を発生する第1の発生器と、

b (b は、 a とは異なる1以上の整数)ビット幅を有する第2の疑似ランダム信号を発生する第2の発生器と、

前記第1の疑似ランダム信号及び前記第2の疑似ランダム信号に対して第1の行列演算を行い、($a*b$)ビット幅を有する第1の演算結果信号を出力する第1の行列演算器と、

c (c は、 a 、 b とは異なる1以上の整数)ビット幅を有する第3の疑似ランダム信号を発生する第3の発生器と、

前記第1の演算結果信号及び前記第3の疑似ランダム信号に対して第2の行列演算を行い、($a*b*c$)ビット幅を有する第2の演算結果信号を出力する第2の行列演算器と、

前記($a*b*c$)ビット幅を有する第2の演算結果信号から、 N (N は($a*b*c$)の約数)ビット幅を有する出力疑似ランダム信号を生成するビット幅調整回路とを有することを特徴とする疑似ランダム信号発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、テスト対象モジュールを有する半導体集積回路に組込まれる自己テスト回路の中に搭載される疑似ランダム信号発生回路に関する。

【0002】

【従来の技術】

自己テスト回路の中に搭載される疑似ランダム信号発生回路が検証のターゲットとしているマクロ（機能ブロック）はPHY（物理層）で、20ビットと10ビットのデータ幅を選べるモードを設置している。自己テスト回路は、このPHYに規格

のランダムデータ信号を含むパターンを送信し、PHYが期待値を出力してくることを検証するものである。上記PHYの2つのモードを自己テスト回路で一括してエラー検出しようとするれば、この自己テスト回路から出力される、規格のパターンであるランダムデータ信号も20ビット幅と10ビット幅の2つのモードを有しなければならない。

【0003】

このように、テスト対象モジュールが要求するテストデータのビット幅 N が、 N_1 ビット、 N_2 ビット、 N_3 ビット・・・のように、複数パターン ($N=N_1, N_2, N_3, \dots$) 選べる様にしなければならない時、解決法としては、特開平7-98995号公報に開示されているように、最大ビット幅 N_{max} のランダムデータ信号を生成するリニアフィードバック・シフトレジスタ（以下、LFSRとする）から、最大ビット幅 N_{max} と現時点で要求されているビット幅 N との差分のFF（フリップフロップ）を、スイッチにより切り離し、現時点で要求されているビット幅 N のランダムデータ信号を得る方法がある。

【0004】

なお、当業者によく知られているように、ビット幅(bitwidth) N とは、幅が N ビットである($N_{bitsinwidth}$)ことと意味において等価である。

【0005】

【発明が解決しようとする課題】

しかし、この方式だとランダムデータのパターン長が変化してしまい、要求されているビット幅 N の最小値 N_{min} と最大値 N_{max} との格差は、パターン長にして $(2^{N_{max}} - 1) / (2^{N_{min}} - 1)$ 倍と指数関数的な格差を持ち、各々エラー検出が平等にならず、自己テスト回路としては致命的になる。

【0006】

また、特開平5-288808号公報に開示されているように、要求されているビット幅 N の最小値 N_{min} と最大値 N_{max} との差分データビット数 ($N_{max} - N_{min}$) のランダムデータを作る第1のLFSRと、最小値 N_{min} を生成する第2のLFSRとを作り、ビット数 ($N_{max} - N_{min}$) のランダムデータを作る第1のLFSRの出力を、現時点で要求しているビット幅 N と最大値 N_{max} の差分 ($N_{max} - N$) だけ圧縮し、最小値 N_{min} を生成する

第2のLFSRから出力されたデータをつなげる ($N = [N_{min}] + [(N_{max} - N_{min}) - (N_{max} - N)]$) ことで合成する方法では、特定の場合 (第1及び第2のLFSRが、同じビット数からなるデータ幅の信号を出力するLFSRで構成され、お互いの相互相関が取れているとき) を除きランダムデータのパターン長が前述の特開平7-98995号公報の時と同様に変化してしまう。また圧縮することによって誤り見逃し率は増加してしまう。

【 0 0 0 7 】

上記自己テスト回路としての致命的問題を同じ回路構成で避けるためには、ランダムデータの重複なしで (テスト時間短縮の観点から) エラー検出を平等にするために自己テスト回路におけるランダムデータ生成を制御する信号 (イネーブル信号) を作る制御回路を入力端子数ごとに個別に設計してやる手間が必要になる。

【 0 0 0 8 】

また前述の2つの引用例においてはいずれも、回路規模は所望のランダムデータの最大ビット数に比例してしまうために増大することは否めない。チップ上での占有面積を小さくするにはランダムデータの最大のデータ幅のビット数と同じFF数の面積以下には出来ないという限界がある。

【 0 0 0 9 】

つまり同じ回路で複数のテストモジュールの入力端子数を選べるという汎用性と小面積化の利点はエラー検出の観点から見るとそのパターン数の格差において薄まっている。

【 0 0 1 0 】

本発明の課題は、上述した欠点を除去できる疑似ランダム信号発生回路を提供することにある。

【 0 0 1 1 】

【課題を解決するための手段】

本発明によれば、

a(aは1以上の整数)ビット幅を有する第1の疑似ランダム信号を発生する第1の発生器と、

b (b は、 a とは異なる1以上の整数)ビット幅を有する第2の疑似ランダム信号を発生する第2の発生器と、

前記第1の疑似ランダム信号を行、前記第2の疑似ランダム信号を列として(a, b)型行列の行列演算を行い、($a*b$)ビット幅を有する演算結果信号を出力する行列演算器と、

前記($a*b$)ビット幅を有する演算結果信号から、 N (N は($a*b*c$)の約数)ビット幅を有する出力疑似ランダム信号を生成するビット幅調整回路とを有することを特徴とする疑似ランダム信号発生回路が得られる。

【 0 0 1 2 】

更に本発明によれば、

a (a は1以上の整数)ビット幅を有する第1の疑似ランダム信号を発生する第1の発生器と、

b (b は、 a とは異なる1以上の整数)ビット幅を有する第2の疑似ランダム信号を発生する第2の発生器と、

前記第1の疑似ランダム信号を行、前記第2の疑似ランダム信号を列として(a, b)型行列の行列演算を行い、($a*b$)ビット幅を有する演算結果信号を出力する行列演算器と、

前記($a*b$)ビット幅を有する演算結果信号から、 N (N は($a*b*c$)の約数)ビット幅を有する出力疑似ランダム信号を生成する N ビットシフトレジスタとを有することを特徴とする疑似ランダム信号発生回路が得られる。

【 0 0 1 3 】

また本発明によれば、

a (a は1以上の整数)ビット幅を有する第1の疑似ランダム信号を発生する第1の発生器と、

b (b は、 a とは異なる1以上の整数)ビット幅を有する第2の疑似ランダム信号を発生する第2の発生器と、

前記第1の疑似ランダム信号及び前記第2の疑似ランダム信号に対して行列演算を行い、($a*b$)ビット幅を有する演算結果信号を出力する行列演算器と、

前記($a*b$)ビット幅を有する演算結果信号から、 N (N は($a*b*c$)の約数)ビット幅

を有する出力疑似ランダム信号を生成するビット幅調整回路とを有することを特徴とする疑似ランダム信号発生回路が得られる。

【 0 0 1 4 】

更に本発明によれば、

a(aは1以上の整数)ビット幅を有する第1の疑似ランダム信号を発生する第1の発生器と、

b(bは、aとは異なる1以上の整数)ビット幅を有する第2の疑似ランダム信号を発生する第2の発生器と、

前記第1の疑似ランダム信号を行、前記第2の疑似ランダム信号を列として(a,b)型行列の行列演算を行い、(a*b)ビット幅を有する第1の演算結果信号を出力する第1の行列演算器と、

c(cは、a、bとは異なる1以上の整数)ビット幅を有する第3の疑似ランダム信号を発生する第3の発生器と、

前記第1の演算結果信号を行、前記第3の疑似ランダム信号を列として(a*b,c)型行列の行列演算を行い、(a*b*c)ビット幅を有する第2の演算結果信号を出力する第2の行列演算器と、

前記(a*b*c)ビット幅を有する第2の演算結果信号から、N(Nは(a*b*c)の約数)ビット幅を有する出力疑似ランダム信号を生成するビット幅調整回路とを有することを特徴とする疑似ランダム信号発生回路が得られる。

【 0 0 1 5 】

また本発明によれば、

a(aは1以上の整数)ビット幅を有する第1の疑似ランダム信号を発生する第1の発生器と、

b(bは、aとは異なる1以上の整数)ビット幅を有する第2の疑似ランダム信号を発生する第2の発生器と、

前記第1の疑似ランダム信号を行、前記第2の疑似ランダム信号を列として(a,b)型行列の行列演算を行い、(a*b)ビット幅を有する第1の演算結果信号を出力する第1の行列演算器と、

c(cは、a、bとは異なる1以上の整数)ビット幅を有する第3の疑似ランダム信

号を発生する第3の発生器と、

前記第1の演算結果信号を行、前記第3の疑似ランダム信号を列として $(a*b, c)$ 型行列の行列演算を行い、 $(a*b*c)$ ビット幅を有する第2の演算結果信号を出力する第2の行列演算器と、

前記 $(a*b*c)$ ビット幅を有する第2の演算結果信号から、 N (N は $(a*b*c)$ の約数)ビット幅を有する出力疑似ランダム信号を生成する N ビットシフトレジスタとを有することを特徴とする疑似ランダム信号発生回路が得られる。

【0016】

更に本発明によれば、

a (a は1以上の整数)ビット幅を有する第1の疑似ランダム信号を発生する第1の発生器と、

b (b は、 a とは異なる1以上の整数)ビット幅を有する第2の疑似ランダム信号を発生する第2の発生器と、

前記第1の疑似ランダム信号及び前記第2の疑似ランダム信号に対して第1の行列演算を行い、 $(a*b)$ ビット幅を有する第1の演算結果信号を出力する第1の行列演算器と、

c (c は、 a 、 b とは異なる1以上の整数)ビット幅を有する第3の疑似ランダム信号を発生する第3の発生器と、

前記第1の演算結果信号及び前記第3の疑似ランダム信号に対して第2の行列演算を行い、 $(a*b*c)$ ビット幅を有する第2の演算結果信号を出力する第2の行列演算器と、

前記 $(a*b*c)$ ビット幅を有する第2の演算結果信号から、 N (N は $(a*b*c)$ の約数)ビット幅を有する出力疑似ランダム信号を生成するビット幅調整回路とを有することを特徴とする疑似ランダム信号発生回路が得られる。

【0017】

このように、本発明は、少数ビット幅を有する第1の疑似ランダム信号と、少数ビット幅を有する第2の疑似ランダム信号とに行列演算を行い、多数ビット幅を有する演算結果信号を出力する行列演算器を備え、多数ビット幅を有する演算結果信号を、 N ビット幅を有する出力疑似ランダム信号に区分けすることでビッ

ト幅を調節する機能をもつ自己テスト用疑似ランダム信号発生回路である。

【 0 0 1 8 】

【発明の実施の形態】

次に本発明の実施例について図面を参照して説明する。

【 0 0 1 9 】

図 1 を参照すると、本発明の第 1 の実施例による疑似ランダム信号発生回路は、疑似ランダムデータ発生器 100 と、N ビットシフトレジスタ 200 と、分周クロック生成器 300 とを有する。疑似ランダムデータ発生器 100 は、行列演算器 130 と、本疑似ランダム信号発生回路が出力するデータ幅が複数種の所望ビット幅（例えば、10 ビット幅と 20 ビット幅）に対応できる事が期待されている前提で、それら複数種の所望ビット幅のビット数（すなわち、10 と 20）の最少公倍数（すなわち、20）の互いに異なる約数（例えば、5 と 4）をビット幅に持った少なくとも 2 つ以上の M 系列発生器を有するものである。110 を a ビットの M 系列発生器とし、120 を b ビットの M 系列発生器とする。

【 0 0 2 0 】

複数種の所望ビット幅の疑似ランダム信号の発生を所望する場合に、本疑似ランダム信号発生回路の特徴が現れる。それは、疑似ランダムデータ発生器 100 の M 系列発生器 110 及び 120 の出力ビット幅を、それら複数種の所望ビット幅の疑似ランダム信号のビット数の最少公倍数の互いに異なる約数に設定し、a ビットの M 系列発生器 110 から出力される疑似ランダムデータ $A[a-1:0]$ を行、b ビットの M 系列発生器 120 から出力される疑似ランダムデータ $B[b-1:0]$ を列とみなして (a, b) 型行列の行列演算器 130 で乗算をし、行列演算器 130 の出力信号のビット幅は、要求されている（所望されている）各々の所望のビット幅の公倍数であるが、この行列演算器 130 の出力信号をシフトレジスタ 200 で、各々の要求されているビット幅のデータに分割して出力することである。

【 0 0 2 1 】

なお、 $A[a-1:0]$ は、 $A[0]$, $A[1]$, ..., $A[a-1]$ を表わす。同様に、 $B[b-1:0]$ は、 $B[0]$, $B[1]$, ..., $B[b-1]$ を表わす。

【 0 0 2 2 】

よって、この方式によれば約数にあたる少数ビットのM系列発生器を用いているので、複数のビット幅をもつモードに1つの回路で対応できる。

【 0 0 2 3 】

図1の疑似ランダム信号発生回路の構成を詳細に説明する。

【 0 0 2 4 】

疑似ランダムデータ発生器100は、 a ビットの疑似ランダム信号 $A[a-1:0]$ を出力するM系列発生器110と、 b ビットの疑似ランダム信号 $B[b-1:0]$ を出力するM系列発生器120と、 (a, b) 型行列を演算する行列演算器130から構成される。前記 a ビットのM系列発生器110と b ビットのM系列発生器120は、周波数 f_1 を持つ基準クロック CLK_1 を分周クロック生成器300で生成した周波数 f_2 のクロック CLK_2 が接続されている。 a ビットのM系列発生器110の出力 $A[a-1:0]$ と、 b ビットのM系列発生器120の出力 $B[b-1:0]$ は、 (a, b) 型行列を演算する行列演算器130の入力として接続され、その出力 $AB[(a*b)-1:0]$ は N ビットシフトレジスタ200の入力に接続されている。

【 0 0 2 5 】

図2は a ビットのM系列発生器110の構成図である。 a ビットのM系列発生器110は、 a 個のフリップ・フロップ（以下FFと略す）111～116と排他的論理和ゲート（以下EXORと略す）117から構成されている。

【 0 0 2 6 】

FF111～116は、前段のFFの出力と後段のFFの入力を直列につないだシフトレジスタの構成をとっており、そのシフトレジスタの最終段のFF116の出力 $A[a-1]$ はEXOR117に入力される。EXOR117に $A[a-1]$ と共に入力されるこのシフトレジスタの中間のタップ位置から引き出されたデータ $A[i]$ の i は、原始多項式により求められ（前記多項式については符号理論を参照されたい）、EXOR117の出力 A_{i0} は初段のFF111の入力に帰還される。また、FF111～117の隣接するFF間から $A[0] \sim A[a-1]$ のタップを引き出し、 a ビットのランダムデータを得る。

【 0 0 2 7 】

ここで、ビット幅 a は、セレクト信号SEL（図1）に外部から入力される値 α で選択できる出力のビット幅 N が N_1, N_2, N_3 とすれば、そして、それら N_1, N_2, N_3 全ての最少公倍数を N' とした時の N' の約数を取るものとすれば、

$$N' \bmod(a)=0 \text{ かつ } N' \bmod(N)=0 \cdots (1)$$

($\bmod(a)$: a で割った場合の余り)

を満たすものである。

【 0 0 2 8 】

図 3 は b ビットの M 系列発生器 120 の構成図である。 b ビットの M 系列発生器 120 は、 b 個の FF121～126 と EXOR127 から構成されている。

【 0 0 2 9 】

FF の構成は、 a ビットの M 系列発生器 110 と同様で、シフトレジスタの形を取っており、また EXOR127 に $B[b-1]$ と共に入力されるデータ $B[j]$ の j は、符号理論による原始多項式により求められ、EXOR127 の出力 BIO は初段の FF121 の入力に帰還される。また、FF121～127 の隣接する FF 間から $B[0] \sim B[b-1]$ のタップを引き出し、 b ビットのランダムデータを得る。

【 0 0 3 0 】

ここで、ビット幅 b は、セレクト信号 SEL (図 1) に外部から入力される値 α で選択できる出力のビット幅 N が N_1 、 N_2 、 N_3 とすれば、そして、それら N_1 、 N_2 、 N_3 全ての最少公倍数を N' とした時の N' の約数を取るものとすれば、

$$N' \bmod(b)=0 \text{ かつ } N' \bmod(N)=0 \cdots (2)$$

を満たすものである。

【 0 0 3 1 】

またこの時選ぶべき a と b は、線形性複雑度を保つことを考えれば、素数であることが好ましい。

【 0 0 3 2 】

さらに、故障検出率を考えれば、自己テスト回路の要求するパターン長を L とすれば、M 系列発生器 110 の出力するパターン長 L_a は、

$$L_a = 2^a - 1$$

であり、M 系列発生器 120 の出力するパターン長 L_b は、

$$L_b = 2^b - 1$$

である。上記式を含む擬似ランダムデータ発生器 100 のパターン長を L' とすれば

$L'L$

となるような a 、 b を考えると、この L' は La と Lb の最小公倍数であるから、 $L'=La=Lb$ とパターン長が最少とならない為に a と b は等しくあってはならない。

【0033】

すなわち、

$$a \neq b \cdots (3)$$

つまり、この時のパターン長 L' は、

$$L'=La \cdot Lb$$

である。このように、 a と b を等しくしないことが、持ちうる2つのM系列発生器110と120でパターン長を最大にすることが出来る。

【0034】

さらに、M系列発生器110から出力された a ビットの疑似ランダムデータを $(a,1)$ 型行列とし、M系列発生器120から出力された b ビットのランダムデータを $(1,b)$ 型行列とし、これら2つの行列を、図4に示された行列演算器130において、EXOR 131などで各成分の積を取ることで (a,b) 型行列とする。つまり、 (a',b') 成分は、 a ビットの疑似ランダムデータ $(a,1)$ 型行列中の $(a',1)$ 成分と、 b ビットの疑似ランダムデータ $(1,b)$ 型行列中の $(1,b')$ 成分の積、すなわちEXORを取ったものである。よって、これら各成分の積を取るためにEXORは $a \cdot b$ 個を配置した構成になっている。

【0035】

これら (a,b) 型行列内の各成分を $a \cdot b$ ビットのデータで $AB[(a \cdot b)-1:0]$ を成し、出力する。

【0036】

ここで、 $AB[(a \cdot b)-1:0]$ のビット幅 $a \cdot b$ は、セレクト信号SEL(図1)の α で選択できる出力のビット幅 N が $N1$ 、 $N2$ 、 $N3$ とすれば、 $a \cdot b$ は $N1$ 、 $N2$ 、 $N3 \cdots$ の最小公倍数であるので、

$$(a \cdot b) \text{ mod } d(N) = 0 \quad (N = N1, N2, N3 \cdots) \cdots (4)$$

を満たす。

【0037】

図 1 に示される様に、Nビットシフトレジスタ200は、前段の擬似ランダムデータ発生器100から出力された $AB[(a*b)-1:0]$ のデータと、分周クロック生成器300で生成された、Nビットシフトレジスタ200用のセレクト信号BSELと、基準クロック信号CLK1が接続され、出力としてNビットの擬似ランダムデータ $D[N-1:0]$ が出力される構成になっている。セレクト信号SELは、値 α を入力とし、 $AB[(a*b)-1:0]$ の $a*b$ ビット幅を持つデータを周波数 f_1 の基準クロックCLK1でNビットずつシフトしNビット幅のデータとして出力できる構成になっている。

【 0 0 3 8 】

ここでセレクト信号SELに入力された値 α によって選択されるビット幅Nが N_1 、 N_2 、 $N_3 \dots$ とすれば、各々の取り得るセレクト信号SELに外部から入力される値 α との関係は、

$$\alpha = (a*b)/N \quad (N=N_1, N_2, N_3 \dots) \dots \dots (5)$$

である。

【 0 0 3 9 】

図 1 で示される様に、分周クロック生成器300は周波数 f_1 の基準クロック信号CLK1と任意のビット幅Nを選択するためのセレクト信号SELが接続されている。セレクト信号SELの値 α によって任意に分周された周波数 f_2 の分周クロック信号CLK2と、セレクト信号SELをNビットシフトレジスタ200用に変換したBSELが出力され、分周クロック信号CLK2は擬似ランダムデータ発生器100に、BSELはNビットシフトレジスタ300の入力に接続されている。

【 0 0 4 0 】

分周クロックCLK2の周波数 f_2 は任意のビット幅Nを選択するためのセレクト信号SELに値 α を入力とすれば、以下の式で決定される。

【 0 0 4 1 】

$$f_2 = f_1 / \alpha$$

ここで、実際に上記で使われている変数を値にし、選択されるビット幅Nが10ビットと20ビットであった場合、これら2つのビット数の最大公倍数 N' は
 $N' = 20$

であるので、上記の式 (1) 、 (2) より

$$N' \bmod(a) = 20 \bmod(a) = 0$$

$$N' \bmod(b) = 20 \bmod(b) = 0$$

を満たす a 、 b を式 (3)、(4) を条件として導き出せば、

$$a=5$$

$$b=4$$

が導かれる。よってセレクト信号 SEL に入力される値 α は式 (3) より、選択されるビット幅 N が 10 ビットのときは、式 (5) より

$$\alpha = (a \cdot b) / N = (5 \cdot 4) / 10 = 2$$

であり、20 ビットのときは、

$$\alpha = (a \cdot b) / N = (5 \cdot 4) / 20 = 1$$

となる。

【 0 0 4 2 】

このようにして求められた値を実際の回路として表したのが図 5 である。

【 0 0 4 3 】

図 5 を参照して、入力クロック信号 CLK1 と入力リセット信号 RESET と選択信号 SEL を入力してクロック信号 CLK2 とデータ選択信号 BSEL を出力する分周クロック生成回路 300 と、クロック信号 CLK2 と入力リセット信号 RESET を入力してランダム生成データ PDATA を出力する疑似ランダムデータ発生器 100 と、入力クロック信号 CLK と入力リセット信号とデータ選択信号 BSL とランダム生成データ PDATA を入力して 20 ビットのランダム出力データ DOUT を出力する 20 ビットシフトレジスタ 200 より構成される。

【 0 0 4 4 】

疑似ランダムデータ発生器 100 は、5 ビット M 系列発生器 110 と、4 ビット M 系列発生器 120 と、(4,5) 型行列を演算する行列演算器 130 より構成される。

【 0 0 4 5 】

5 ビット M 系列発生器 110 は、FF111 ~ 115 と EXOR117 から構成される。

【 0 0 4 6 】

FF111 はクロック信号 CLK2 をクロックに、入力リセット信号 RESET がリセットに、EXOR117 より出力される A10 をデータに入力して、データ A0 を出力する。

【0047】

FF112はクロック信号CLK2をクロックに、入力リセット信号RESETをリセットに、データA0をデータに入力して、データA1を出力する。

【0048】

FF113はクロック信号CLK2をクロックに、入力リセット信号RESETをリセットに、データA1をデータに入力して、データA2を出力する。

【0049】

FF114はクロック信号CLK2をクロックに、入力リセット信号RESETをリセットに、データA2をデータに入力して、データA3を出力する。

【0050】

FF115はクロック信号CLK2をクロックに、入力リセット信号RESETをリセットに、データA3をデータに入力して、データA4を出力する。

【0051】

EXOR117はFF113より出力されるデータA2とFF115より出力されるデータA4を入力して、A0Iを出力する。

【0052】

4ビットM系列発生器120は、FF121～124とEXOR127から構成される。

【0053】

FF121はクロック信号CLK2をクロックに、入力リセット信号RESETがリセットに、EXOR127より出力されるAIOをデータに入力して、データB0を出力する。

【0054】

FF122はクロック信号CLK2をクロックに、入力リセット信号RESETをリセットに、データB0をデータに入力して、データB1を出力する。

【0055】

FF123はクロック信号CLK2をクロックに、入力リセット信号RESETをリセットに、データB1をデータに入力して、データB2を出力する。

【0056】

FF124はクロック信号CLK2をクロックに、入力リセット信号RESETをリセットに、データB2をデータに入力して、データB3を出力する。

【 0 0 5 7 】

EXOR127はFF123より出力されるデータB2とFF124より出力されるデータB3を入力して、B0Iを出力する。

【 0 0 5 8 】

(4,5)型行列を演算する行列演算器130は4ビットデータ演算器135～139より構成される。

【 0 0 5 9 】

4ビットデータ演算器135は、EXOR131～134より構成され、これらEXOR131～134の片方には各々5ビットM系列生成器より出力されるデータA0が入力され、EXOR131のもう一方の入力には4ビットM系列発生器から出力されるデータB0が入力され、出力としてAB[0]を得、EXOR132のもう一方の入力には前記データB1が入力され、出力としてAB[1]を得、EXOR133のもう一方の入力には前記データB1が入力され、出力としてAB[2]を得、EXOR134のもう一方の入力には前記データB1が入力され、出力としてAB[3]を得る。

【 0 0 6 0 】

同様に、4つのEXORから構成される4ビットデータ演算器136は、5ビットM系列発生器から出力されるデータA1と4ビットM系列発生器から出力されるデータB[3:0]を入力し、AB[7:4]を出力する。

【 0 0 6 1 】

4ビットデータ演算器137は、5ビットM系列発生器から出力されるデータA2と4ビットM系列発生器から出力されるデータB[3:0]を入力し、AB[11:8]を出力する。

【 0 0 6 2 】

4ビットデータ演算器138は、5ビットM系列発生器から出力されるデータA3と4ビットM系列発生器から出力されるデータB[3:0]を入力し、AB[15:12]を出力する。

【 0 0 6 3 】

4ビットデータ演算器139は、5ビットM系列発生器から出力されるデータA4と4ビットM系列発生器から出力されるデータB[3:0]を入力し、AB[19:16]を出力する。

【 0 0 6 4 】

20ビットシフトレジスタ201は、下位10ビットセレクタ201と上位10ビットセレクタ202と下位10ビットFF203と上位10ビットFF204より構成される。

【 0 0 6 5 】

下位ビット10ビットセレクタ201は、データ選択信号BSELでランダムデータAB[19:0]の下位10ビットAB[9:0]と上位10ビットAB[19:10]を選択し、下位選択データAB[9:0]を出力する。

【 0 0 6 6 】

上位10ビットセレクタ202は、データ選択信号BSELでランダムデータAB[19:0]の上位10ビットAB[19:10]とグランドレベル、即ち '0' を選択して上位選択データD1910を出力する。

【 0 0 6 7 】

下位10ビット203は、基準クロック信号CLKをクロック信号に、入力リセット信号RESETをリセット信号に、下位選択データD90をデータに入力し、ランダムデータDOUT[9:0]を出力する。

【 0 0 6 8 】

上位10ビット204は、基準クロック信号CLKをクロック信号に、入力リセット信号RESETをリセット信号に、上位選択データD1910をデータに入力し、ランダムデータDOUT[19:10]を出力する。

【 0 0 6 9 】

分周クロック生成回路300は、分周器301とセレクタ302より構成される。

【 0 0 7 0 】

分周回路301は入力リセット信号RESETで初期化され、基準クロック信号CLK1を入力して基準クロック信号CLK1と同じ周期の出力クロック信号CK20と入力クロック信号の立ち上がりで分周して生成された分周クロック信号CK10と入力リセット信号RESETで出力レベルがロウレベルとなる以外は前記分周クロックCK10の出力と反対の出力レベルを出力するデータ切り替え信号BSEL信号を出力する。セレクタ302は入力セレクト信号SELで出力クロック信号CK20と分周クロック信号CK10を

選択してクロック信号CLK2を出力する。

【 0 0 7 1 】

以下、図 1 の実施例の動作につき説明する。

【 0 0 7 2 】

図 2 に示される様に、a ビットの M 系列発生器 110 から出力されるデータ A [a-1:0] は、特性多項式

$$A(X) = X^a + X^{(a-1)} + 1$$

によって求められる擬似ランダムデータである。

【 0 0 7 3 】

また、図 3 も同様に、b ビットの M 系列発生器 120 から出力されるデータ B [b-1:0] は、特性多項式

$$B(X) = X^b + X^{(b-1)} + 1$$

によって求められる擬似ランダムデータである。

【 0 0 7 4 】

擬似ランダムデータ A [a-1:0] を (a,1) 型行列とし、B [b-1:0] を (1,b) 型行列とし、これら 2 つの擬似ランダムデータを図 1 で示す (a,b) 型行列演算器 130 にて EXOR で積を取り、(a,b) 型行列とする。これら (a,b) 型行列内の各成分を a*b ビットのデータとして平行に振り分け AB [(a*b)-1:0] をなし、出力する。

【 0 0 7 5 】

これら出力された擬似ランダムデータ AB [(a*b)-1:0] は、分周クロック生成器 300 によって $1/\alpha$ に分周された周波数 f 2 を持つ分周クロック信号 CLK2 に同期している。ここで α とは上記式 (5) で表される、任意のビット幅 N を選択するためのセレクト信号 SEL に入力される値である。

【 0 0 7 6 】

この AB [(a*b)-1:0] は、次段の N ビットシフトレジスタ 200 に入力され、周波数 f 1 の基準クロック信号 CLK1 に同期して、N ビットずつ出力される。

【 0 0 7 7 】

図 6 に N ビットシフトレジスタ 200 に入力 AB1 [(a*b)-1:0] が入った時の出力 D [N-1:0] の関係を示したタイミングチャートを示す。

【 0 0 7 8 】

まず、基準クロック信号CLK1の周波数 f_1 は、

$$f_1 = 1/T$$

で決定される時刻 T を周期とするものとする。

【 0 0 7 9 】

そこで、時刻 $0 \sim T$ までの間には、周波数 f_1 に同期した N ビットシフトレジスタは、 $AB_1[(a*b)-1:0]$ のうち、上位 N ビットを出力する。つまり、ここでの出力 $D[N-1:0]$ と入力 $AB_1[(a*b)-1:0]$ の関係は、

$$D[N-1:0] = AB_1[N-1:0] = AB_1[(a*b)/\alpha - 1:0]$$

である。

【 0 0 8 0 】

次の時刻 $T \sim 2*T$ 間での間は、

$$D[N-1:0] = AB_1[2*N-1:N] = AB_1[2*(a*b)/\alpha - 1:2*(a*b)]$$

となる。

【 0 0 8 1 】

前にも述べた様に、これら N ビットシフトレジスタの入力データ $AB[(a*b)-1:0]$ はクロック信号CLK2の周波数 f_2 に同期しているので、

$$f_2 = 1/T'$$

とすれば、分周されたクロック信号CLK2の周波数 f_2 は分周クロック生成器300によってその基準クロック信号CLK1の周波数 f_1 との関係は、

$$f_2 = f_1/\alpha$$

であり、そのセレクト信号SELに入力される値 α は式(3)が

$$\alpha = (a*b)/N$$

であるので、

$$T' = \alpha * T$$

であらわせ、つまり、時刻 t での出力しているデータは、 $0 < t < \alpha * T$ で $AB_1[(a*b)/\alpha - 1:0]$ を入力としているとすれば、

$$D[N-1:0] = AB[(t/T - t \bmod(T)) * (a*b) - 1 : (t/T - t \bmod(T) - 1) * (a*b)]$$

である。

【 0 0 8 2 】

よって、時刻 T' 間で N ビットシフトレジスタは入力データ $AB1[(a*b)-1:0]$ を N ビットに切り分けて全てを出力していることになる。

【 0 0 8 3 】

以下、図5で用いた実際の値を入力したものについて説明する。

【 0 0 8 4 】

図7は図5での回路のタイミングチャートである。

【 0 0 8 5 】

まず、入力リセット信号RESETにて疑似ランダム信号発生器100は初期値に、分周クロック生成器300は出力全てをロウレベルに、20ビットシフトレジスタ200の上位10ビット203と下位10ビットの204を0に初期化する。

【 0 0 8 6 】

セレクト信号SELに値 $\alpha=2$ が与えられたとすると、周波数 f_2 のクロック信号CLK2には周波数 f_1 の基準クロックCLK1を2分の1に分周したクロック信号CK10がセレクト302によって選択され、出力される。データの切り替え信号BSELは、上記でも述べたように分周クロックCK10の出力と反対の出力レベルを出力する。

【 0 0 8 7 】

これを受けて20ビットシフトレジスタはBSELがハイレベルのときセレクト201が疑似ランダムデータからの出力 $AB[19:0]$ のうちの下位10ビット $AB[9:0]$ を選択し10ビットのFFである203にデータを保持する。BSELがロウレベルのときは202が上位10ビット $AB[19:10]$ を選択し、10ビットのFFである204にデータを保持する。このように、下位10ビットと上位10ビットが交互に選択され、DOUT[9:0]の10ビット出力データが出力される。

【 0 0 8 8 】

この時入力するデータ $AB[19:0]$ は疑似ランダム生成器100で作られた疑似ランダムデータである。これは、5ビットのM系列発生器110が出力したデータA0～A4と、4ビットのM系列発生器120が出力したデータB0～B3を上記で説明したように、各ビットを行列演算器130で合成し20ビットのデータである。

【 0 0 8 9 】

ここで本実施例による効果を説明する。

【 0 0 9 0 】

M系列におけるnビットのランダムデータのパターン数Pは、全てのビットがゼロの場合を除いた 2^n-1 で表現できる。これを、たとえば20ビットのランダムデータを出力させるM系列発生器があったとすれば、ここでのパターン長Lは、

$$L=2^{20}-1$$

であり、また10ビットのランダムデータを出力するM系列発生器では、

$$L=2^{10}-1$$

になる。つまり、一定時間ランダム信号を発生させて、自己テスト回路でエラーを検出していった場合、20ビットのM系列発生器と10ビットのM系列発生器では $(2^{20}-1)/(2^{10}-1)$ 倍の格差がでる。しかし、本発明の方式によれば20ビット、10ビット共に4ビットのM系列発生器と5ビットのM系列発生器を用いてデータを作成した場合、20ビットでのパターン長Lは、

$$L=(2^5-1)*(2^4-1)$$

であり、また10ビットでは、

$$L=\{(2^4-1)*(2^5-1)-1\}*2$$

になり、その格差は2倍である。

【 0 0 9 1 】

これが意味するものは、一定時間ランダム信号を発生させたとき、パターン数の格差から自己テスト回路におけるエラー検出率が不平等になるのを押さえることが出来るということである。

【 0 0 9 2 】

また、回路規模においても、以下の効果が得られる。

【 0 0 9 3 】

従来のランダムデータ発生部は、2つ以上の複数のビット幅をもつランダムデータの発生モードを要求される時、最大データ幅と同じ数のFFを必要としていたが、本発明は要求されるビット幅より少数のビット幅を持つ2つの疑似ランダム信号発生器の出力を行及び列とみなし行列演算を用いて要求されるビット幅にするので、使うFF数を少なく押さえられ、回路規模を縮小できるという効果が得ら

れる。

【 0 0 9 4 】

図 8 を参照すると、本発明の第 2 の実施例による疑似ランダム信号発生回路が示されている。その基本的構成は上記第 1 の実施例の通りであるが、この第 2 の実施例のモチーフは、より多くの要求されるビット幅について対応できる様にさらに工夫している、ということである。

【 0 0 9 5 】

本図において、図 1 と違うアルゴリズムを持つ個所は疑似ランダムデータ発生器 100 の内部の構成である。図 8 の疑似ランダムデータ発生器 100 においては、より多くのビット数に対応できる様に、N ビットシフトレジスタ 200 に入力するランダムデータを生成する約数 c の幅の疑似ランダムデータを生成する c ビット幅の M 系列発生器 130 を増やした。

【 0 0 9 6 】

まず、行列演算器 130 によって a ビットの M 系列発生器 110 から出力した (a, 1) 型である行列 A [a-1:0] と、b ビットの M 系列発生器 120 から出力した (1, b) 型行列である B [b-1:0] を、(a, b) 型の行列演算器 130 にかけて出力データに AB [(a*b)-1:0] を得る。

【 0 0 9 7 】

ここで、c ビットの M 系列発生器 140 を増やすことにより (a, b) 型行列演算器 130 の出力 AB [(a*b)-1:0] を (a*b, 1) 型行列とみなし、c ビットの M 系列発生器 140 から出力した (1, c) 型行列である C [c-1:0] を (a*b, c) 型の行列演算器 150 にかけて出力データとして a*b*c ビット幅の ABC [(a*b*c)-1:0] を出力する。

【 0 0 9 8 】

ここで選択できるビット幅 N は、

$$(a*b*c) \bmod (N) = 0$$

を満たせばいくらでも取り得る。

【 0 0 9 9 】

また、ビット幅 N を選択するセレクト信号 SEL に入力する値 α は、

$$\alpha = (a*b*c) / N$$

である。

【 0 1 0 0 】

図 9 は図 8 の構成のタイミングチャートを示したものである。このように、擬似ランダムデータ発生器 100 から出力され、N ビットシフトレジスタ 200 に入力されたデータを $ABC[(a*b*c)-1:0]$ とすれば、また、この時基準クロックの周波数 f_1 は、

$$f_1 = 1/T$$

で決定される時刻 T を周期とするものとすれば、時刻 t での出力しているデータは、 $0 < t < \alpha * T$ において、

$$D[N-1:0] = ABC[(t/T - t_{\text{mod}}(T)) * (a*b*c) - 1 : (t/T - t_{\text{mod}}(T) - 1) * (a*b*c)]$$

である。

【 0 1 0 1 】

このように、同様にして、擬似ランダムデータ発生器 100 の部分に約数の M 系列を増やすことでさらに多くのビット数に対応できる。

【 0 1 0 2 】

次に本発明の第 3 の実施例による擬似ランダム信号発生回路を、図 8 を参照して説明する。

【 0 1 0 3 】

第 3 の実施例による擬似ランダム信号発生回路の基本構成は第 2 の実施例と同じであるが、この第 3 の実施例のモチーフはパターン長を増やすために工夫することである。

【 0 1 0 4 】

図 8 において、擬似ランダムデータ発生器 100 の c ビット幅を出力する M 系列発生器 140 は、上記の第 2 の実施例では、より多くの要求されるビット幅について対応できる様に増やした約数であったが、これをパターン長を増やすための因子として用いる。

【 0 1 0 5 】

図 1 の時のパターン長が

$$L = (2^a - 1) * (2^b - 1)$$

であるのに対し、図 8 をモチーフにすれば、そのパターン長 L は、

$$L = (2^a - 1) * (2^b - 1) * (2^c - 1)$$

になり、 a ビットの M 系列発生器 110 と b ビットの M 系列発生器 120 を用いたときの $(2^c - 1)$ 倍と長くなり、その線形性複雑度をまし、すなわちランダム性を増すことに繋がっている。

【 0 1 0 6 】

【発明の効果】

以上説明したように本発明によれば、要求されるビット幅より少数のビット幅を持つ 2 つ以上の疑似ランダム信号の発生器の出力を行及び列とみなし行列演算を用いて要求されるビット幅にするので、使う FF 数を少なく押さえられ、回路規模を縮小できるという効果が得られる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施例による疑似ランダム信号発生回路のブロック図である。

【図 2】

図 1 の疑似ランダム信号発生回路の a ビットの M 系列発生器 110 の構成図である。

【図 3】

図 1 の疑似ランダム信号発生回路の b ビットの M 系列発生器 120 の構成図である。

【図 4】

図 1 の疑似ランダム信号発生回路の行列演算器 130 の構成図である。

【図 5】

図 1 の疑似ランダム信号発生回路の具体例を示した図である。

【図 6】

図 1 の疑似ランダム信号発生回路の動作を説明するためのタイミングチャートである。

【図 7】

図 5 に示された回路の動作を説明するためのタイミングチャートである。

【図 8】

本発明の第2の実施例による疑似ランダム信号発生回路のブロック図である。

【図 9】

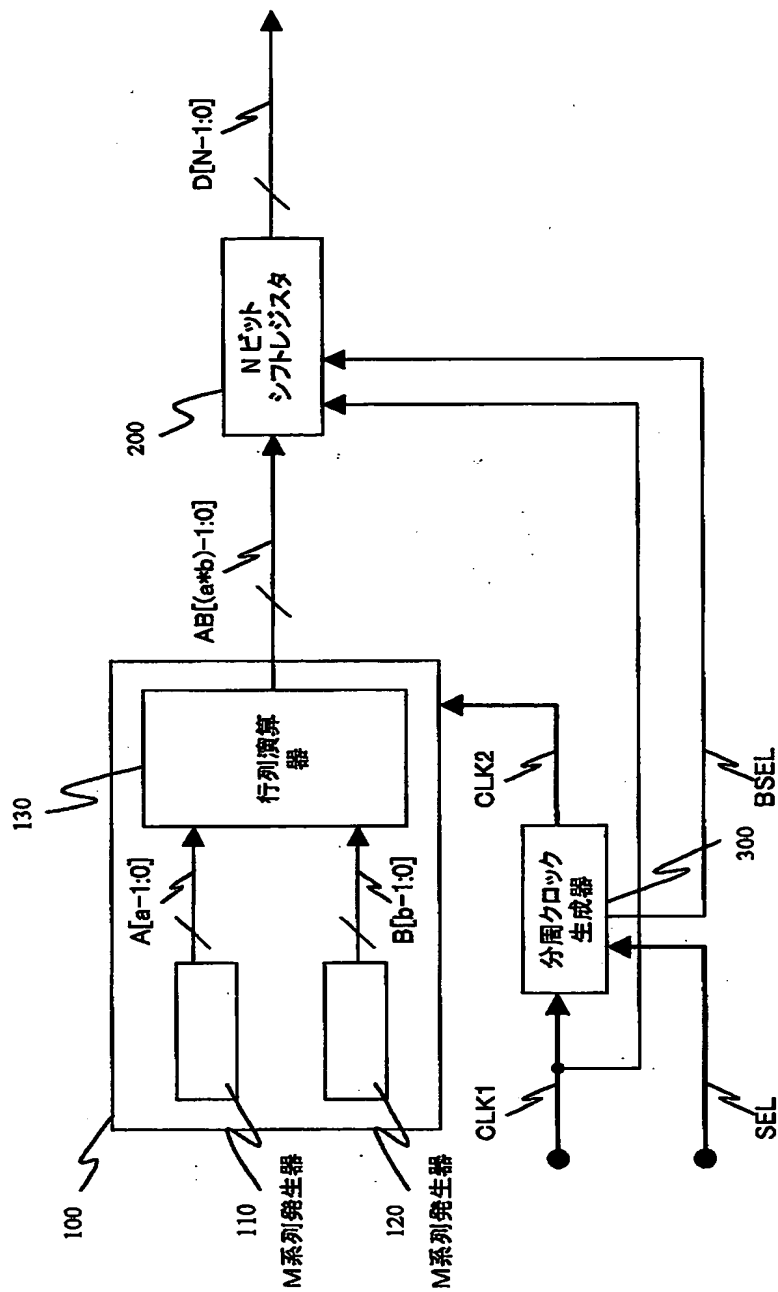
図 8 の疑似ランダム信号発生回路の動作を説明するためのタイミングチャートである。

【符号の説明】

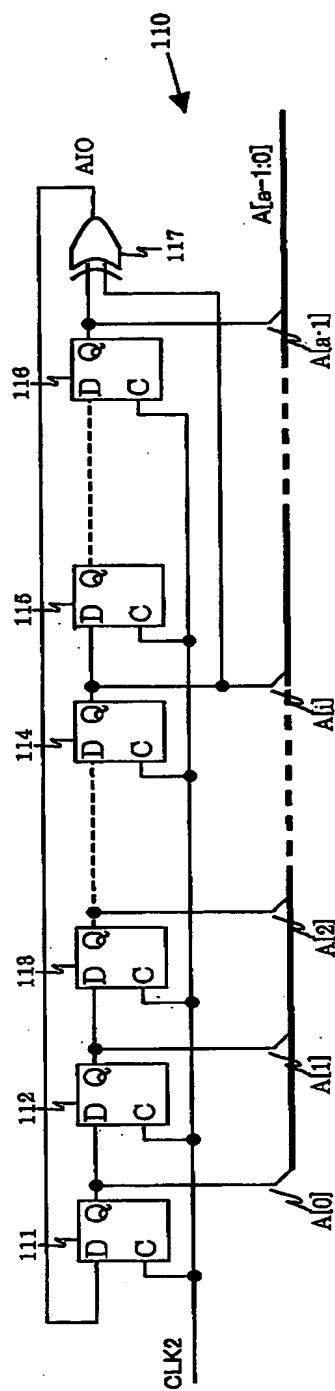
- 100 疑似ランダムデータ発生器
- 110 M系列発生器
- 120 M系列発生器
- 130 行列演算器
- 140 M系列発生器
- 150 行列演算器
- 200 Nビットシフトレジスタ
- 300 分周クロック生成器

【書類名】 図面

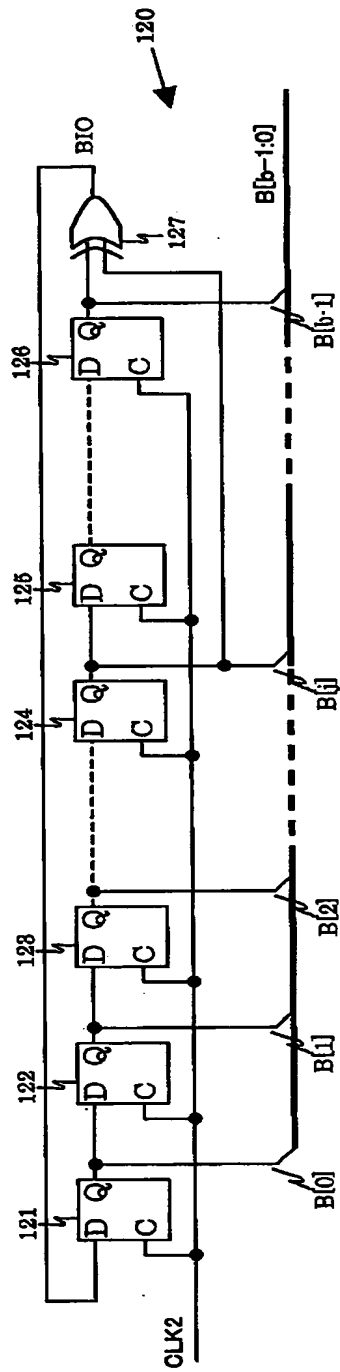
【図1】



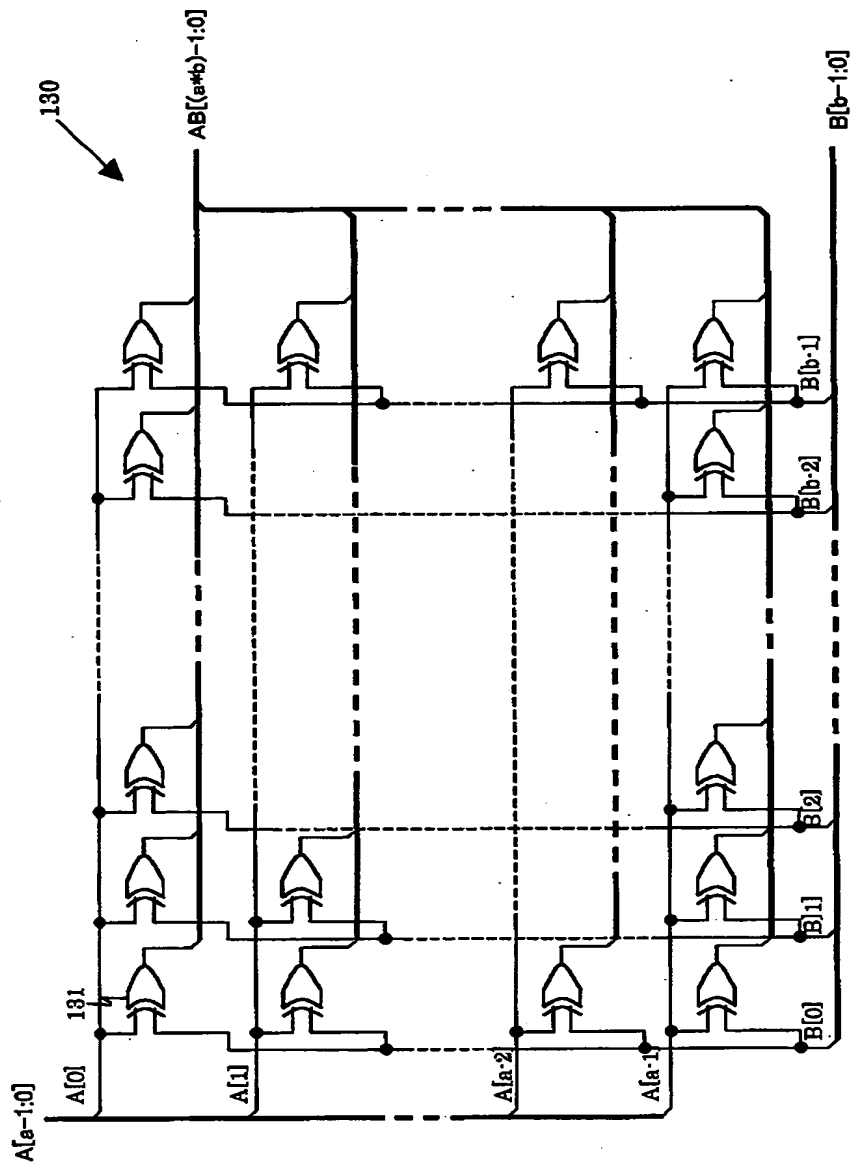
【図 2】



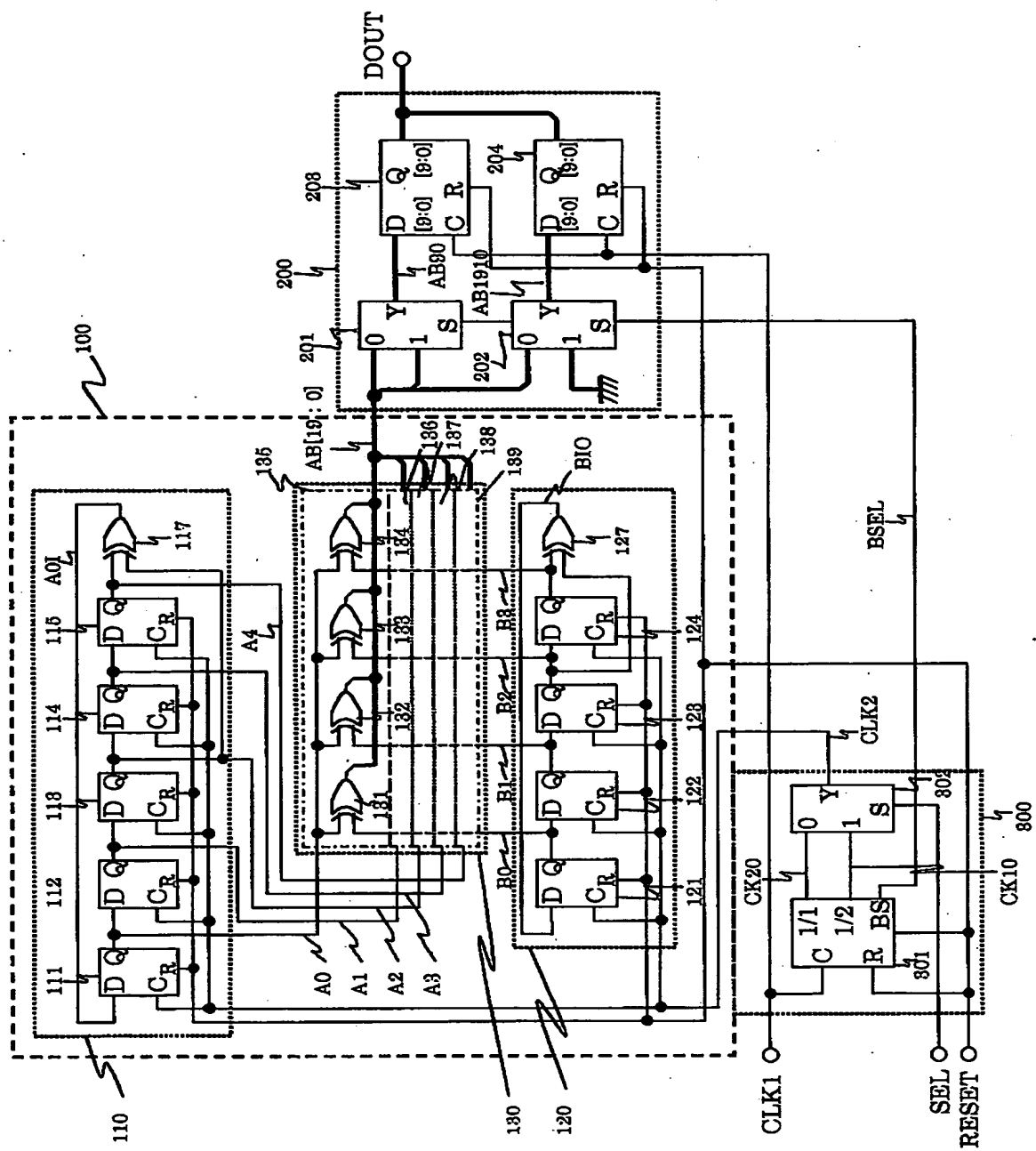
【図 3】



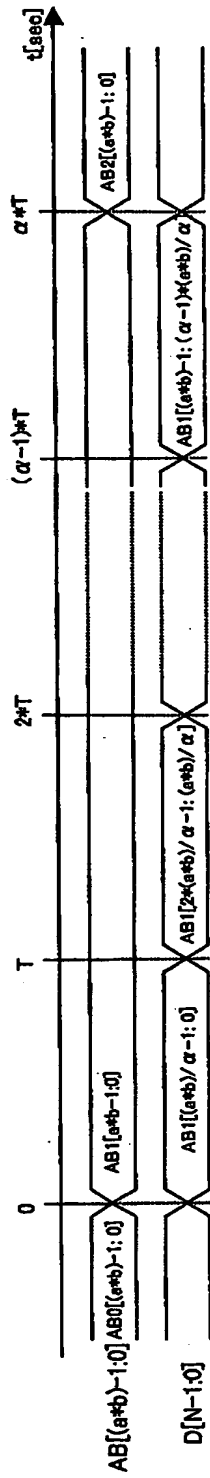
【図 4】



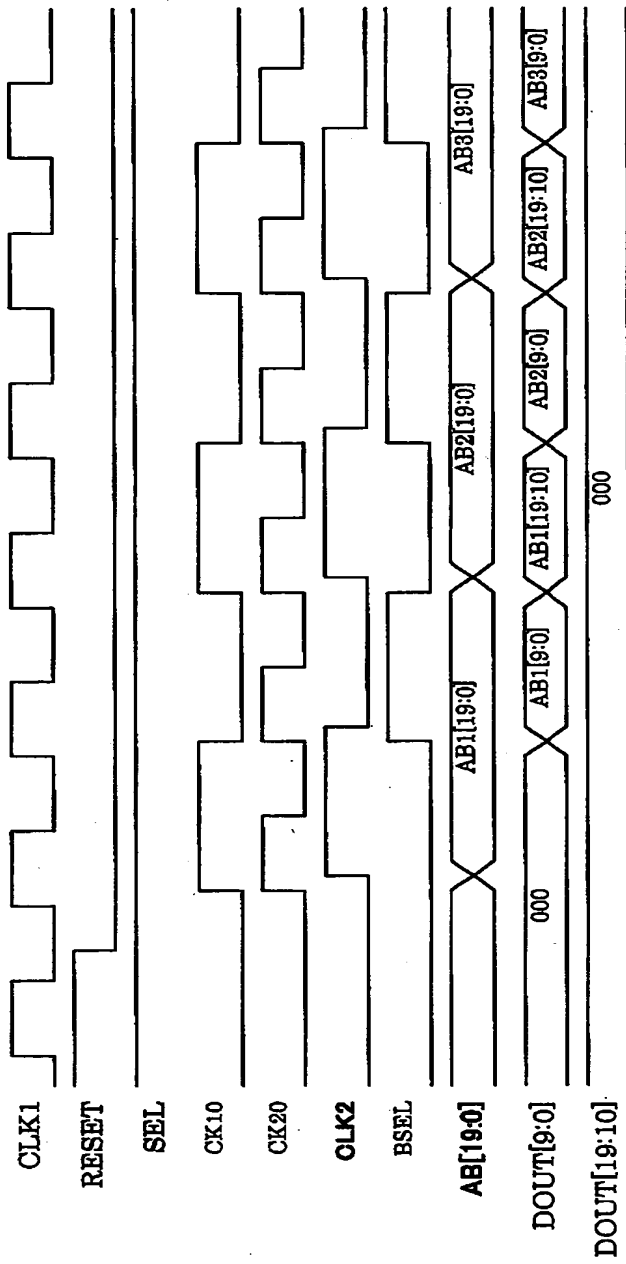
【図 5】



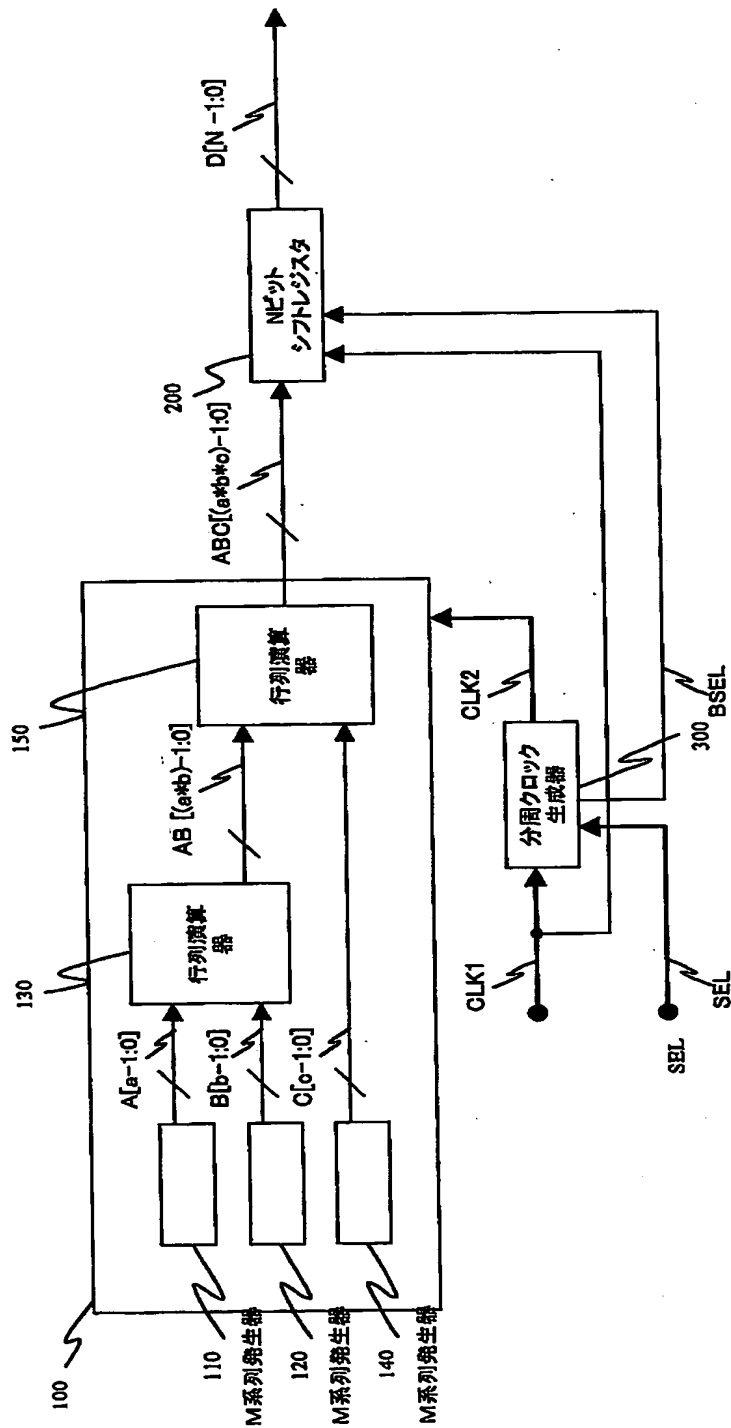
【図 6】



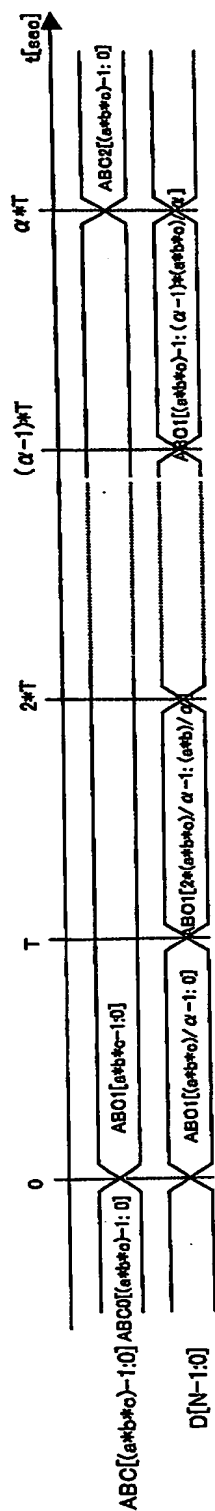
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 要求されるビット幅より少数のビット幅を持つ2つの疑似ランダム信号発生器の出力を行及び列とみなし行列演算を用いて要求されるビット幅にすることにより、使うFF数を少なく押さえ、回路規模を縮小する。

【解決手段】 a (a は1以上の整数)ビット幅を有する第1の疑似ランダム信号を発生する発生器110と、 b (b は、 a とは異なる1以上の整数)ビット幅を有する第2の疑似ランダム信号を発生する発生器120と、第1及び第2の疑似ランダム信号に行列演算を行い、 $(a*b)$ ビット幅を有する演算結果信号を出力する行列演算器130と、 $(a*b)$ ビット幅を有する演算結果信号から、 N (N は $(a*b)$ の約数)ビット幅を有する出力疑似ランダム信号を生成する N ビットシフトレジスタ200と、疑似ランダムデータ発生器100を駆動するための分周クロック生成器300を有する疑似ランダム信号発生回路。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000232036]

1. 変更年月日 1990年 8月13日
[変更理由] 新規登録
住 所 神奈川県川崎市中原区小杉町1丁目403番53
氏 名 日本電気アイシーマイコンシステム株式会社
2. 変更年月日 2001年 5月21日
[変更理由] 名称変更
住 所 神奈川県川崎市中原区小杉町1丁目403番53
氏 名 エヌイーシーマイクロシステム株式会社